

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-282327

(43) Date of publication of application : 03.10.2003

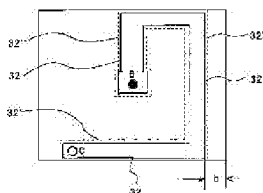
(51) Int. Cl. H01F 17/00

H01F 41/04

(21)Application number : 2002-088952 (71)Applicant : KOA CORP

(22)Date of filing : 27. 03. 2002 (72)Inventor : ICHIKAWA MASABUMI
ARIGA YUKIKO
KOBAYASHI NOBUMASA

(54) LAMINATED CERAMIC CHIP COMPONENT AND ITS MANUFACTURING METHOD



(57) Abstract:

PROBLEM TO BE SOLVED: To provide a laminated ceramic chip component, that can obtain high inductance value or capacitance value though the component, has a small chip size by effectively utilizing the chip size, and to provide a method of manufacturing the component.

SOLUTION: The rectangular chip of this laminated ceramic chip component is formed, by laminating ceramic layers upon another and contains internal electrodes 32, 33, 34, and 35 connected to the external electrodes 1 and 2 of the rectangular chip among the laminated ceramic layers. Lead-out electrodes 31 and 36 to the external electrodes 1 and 2 are made of a material which shows a small shrinkage factor, when the material is baked and the internal electrodes 32, 33, 34, and 35 are

made of another material which shows a large shrinkage factor, when the material is baked.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the laminating ceramic chip which carries out the laminating of the ceramic layer, forms a square shape chip and is characterized by using an ingredient with the shrinking percentage small [the drawer electrode to said external electrode] at the time of baking, and the shrinking percentage large [said internal electrode] at the time of baking in the laminating ceramic chip by which the internal electrode was formed between these ceramic layers by which the

laminating was carried out, and this internal electrode was connected to the external electrode of a square shape chip.

[Claim 2] The laminating ceramic chip according to claim 1 characterized by having equipped the end face of said square shape chip with the field which does not form said external electrode, and enabling exposure of said internal electrode in this field.

[Claim 3] Said laminating ceramic chip is a laminating ceramic chip according to claim 1 or 2 characterized by being an inductor component.

[Claim 4] In the manufacture approach of the laminating ceramic chip which forms a conductor pattern in a ceramic green sheet, carries out laminating sticking by pressure, carries out the dicing of this green sheet of two or more sheets to the partition corresponding to each chip field, calcinates it to it, and forms an external electrode The conductive paste which forms an internal electrode among said conductor patterns The conductive paste which forms the drawer polar zone is the manufacture approach of the laminating ceramic chip characterized by using what adjusted so that the shrinking percentage at the time of baking might become small using what was adjusted so that the shrinking percentage at the time of baking might become large.

[Claim 5] the manufacture approach of the laminating ceramic chip according to claim 4 characterized by using what mixed the silver (Ag) particle with a small particle size, and the silver (Ag) particle with a big particle size for the conductive paste with which the conductive paste which forms said internal electrode used the silver (Ag) particle with a small particle size as the principal component, and which uses and forms said drawer electrode.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a laminating ceramic chip and its manufacture approaches, such as an inductor component which started the laminating ceramic chip, especially arranged conductor patterns, such as an internal electrode, in the ceramic sheet-like layer, carried out the laminating of this, and connected mutually, or a capacitor component.

[0002]

[Description of the Prior Art] A conductor pattern is arranged in a ceramic sheet-like layer, and electronic parts which carried out the laminating of this and were used as the square shape chip, such as a laminating ceramic chip mold inductor component and a capacitor component, have spread widely. In these electronic parts, the correspondence to small and high density assembly is demanded with the advance of the electronic equipment by which it is equipped with these. For this reason, the size of these chips also becomes in use [1005 molds (1.0mmx0.5mm) / current] from 1608 molds (1.6mmx0.8mm), and the shift to further 0603 molds (0.6mmx0.3mm) is advancing.

[0003] However, in these chip mold inductor components and capacitor components, if a chip area is miniaturized, in connection with this, an internal electrode pattern also must be made small. Therefore, the range of an inductance value or a capacitance value becomes narrow, a resisted part increases, and Q value also becomes small and has the inclination for a property to deteriorate.

[0004]

[Problem(s) to be Solved by the Invention] In view of the situation mentioned above, it succeeded in this invention, it is using a chip size effectively, and it aims at offering the chip with which a high inductance value and a capacitance value are acquired, and its manufacture approach, being with a small chip size.

[0005]

[Means for Solving the Problem] In the laminating ceramic chip by which the laminating ceramic chip of this invention carried out the laminating of the ceramic layer, and formed the square shape chip, the internal electrode was formed between these ceramic layers by which the laminating was carried out, and this internal electrode was connected to the external electrode of a square shape chip, the drawer electrode to said external electrode has the small shrinking percentage at the time of baking, and said internal electrode is characterized by using an ingredient with the large shrinking percentage at the time of baking.

Here, the end face of said square shape chip can be equipped with the field which does not form said external electrode, and exposure of said internal electrode can be enabled in this field.

[0006] Since an internal electrode can be exposed to the field which does not form the external electrode of a square shape chip according to this invention mentioned above, unlike having isolated and formed the conventional internal electrode inside from the chip circumference, the formation area of an internal electrode is extensible. the conductor which carried out baking post shrinkage by using conductive paste with the larger shrinking percentage at the time of baking for an internal electrode -- a front face -- the component of a surrounding material -- flowing out -- or -- depositing -- a conductor -- a front face is covered. A chip size can be used for the maximum owner effect by this. Therefore, an inductance value and a capacitance value can be enlarged to a chip size, and properties, such as Q value, improve in connection with this.

[0007] Moreover, the manufacture approach of the laminating ceramic chip of this invention In the manufacture approach of the laminating ceramic chip which forms a conductor pattern in a ceramic green sheet, carries out laminating sticking by pressure, carries out the dicing of this green sheet of two or more sheets to the partition corresponding to each chip field, calcinates it to it, and forms an external electrode The conductive paste which forms the drawer polar zone is characterized by using what was adjusted so that the shrinking percentage at the time of baking might become small using what adjusted the conductive paste which forms an internal electrode among said conductor patterns so that the shrinking percentage at the time of baking might become large.

[0008]

[Embodiment of the Invention] Hereafter, it explains, referring to an accompanying drawing about the operation gestalt of this invention.

[0009] Drawing 1 is the perspective view in which having shown the inductor component of the operation gestalt of this invention, and having shown the whole square shape chip configuration. A ceramic layer carries out laminating sticking by pressure of two or more S1-Sn, and this chip mold inductor component is constituted, as shown in drawing 2 . the external electrodes 1 and 2 are formed in a chip top face, a longitudinal direction both-ends side, and an inferior surface of tongue horseshoe-shaped, respectively -- having -- the external electrode 1 -- the drawer electrode 31 -- minding -- a spiral coil -- it connects with the end of a conductor -- having -- the external electrode 2 -- the drawer electrode 36 -- minding -- a spiral coil -- it connects with the

other end of a conductor.

[0010] as shown in drawing 3 (a) - (h), in ceramic layer S2-S7, internal electrodes 32, 33, 34, and 35 and the drawer electrodes 31 and 36 are formed, and it connects mutually through the beer halls A, C, E, F, and I which are bores between ceramic layers -- having -- a coil spiral by this -- the inductor component which consists of a conductor is constituted. The ceramic layer S3, S4, the internal electrodes 32, 33, and 34 of S5 and S6, and 35 grades will be exposed to the end face (the direction end face of a short hand) of a chip longitudinal direction both-sides side. the example shown in drawing 3 -- a coil -- increasing the number of layers of these ceramic layers, although the inductor component which carried out abbreviation 3 turn formation of the conductor was shown -- the coil of the number of turns of arbitration -- a conductor can be formed.

[0011] The ceramic layers S2 and S7 are equipped with the drawer electrodes 31 and 36, and these electrodes 31 and 36 are arranged so that the chip edge of longitudinal direction both ends may be touched, and they are connected to the external electrode formed in the both-ends side of a chip. In detail, the other end is connected to an internal electrode 32 through the conductor with which it connected with the external electrode 1 with which the drawer electrode 31 of the ceramic layer S2 is formed in the top face of a chip, a side face, and an inferior surface of tongue at the character of K0, and it was filled up with the end all over the beer hall A. The drawer electrode 36 which touches a chip edge is arranged similarly at the ceramic layer S7. The end of the drawer electrode 36 is connected to the external electrode 2 formed in the top face of a chip, a side face, and an inferior surface of tongue at the character of K0, and the other end is connected to an internal electrode 35 through a beer hall I.

[0012] in this operation gestalt, the internal electrodes 32, 33, 34, and 35 which have the configuration shown in drawing 3 (c) - (f) in ceramic layer S3-S6 are arranged, each ceramic layer is equipped with a beer hall, and each internal electrode connects with the conductor with which that beer hall was filled up -- having -- a spiral coil -- a conductor is formed. that is, by connecting an internal electrode 32 and an internal electrode 33, a beer hall E connects an internal electrode 33 and an internal electrode 34, a beer hall F connects an internal electrode 34 and an internal electrode 35, and, thereby, 3 turns of the beer hall C of ceramic layer S4 are spiral -- a conductor -- a coil is formed. in addition, the number of turns of arbitration is spiral by repeating and arranging ceramic layer S3-S6 further -- a conductor -- a

coil can be formed. A beer hall A is for connecting the drawer electrode 31 and internal electrode 32 to the external electrode 1. A beer hall I is for connecting the drawer electrode 36 and internal electrode 35 to the external electrode 2. a coil spiral by this -- the both ends of a conductor are connected to the external electrodes 1 and 2, respectively. In addition, although one hit is much more sufficient as a beer hall, it can raise the dependability of connection by preparing more than one.

[0013] Here, the internal electrodes 32, 33, 34, and 35 of the character type of K0 or a spiral mold are arranged ceramic layer S3-S6, and these internal electrodes are arranged so that it may arrive at the chip edge of a longitudinal direction both-sides side. That is, when the laminating of these ceramic layers is carried out and a square shape chip is constituted, it is formed in the end face (the direction both-ends side of a short hand) of a longitudinal direction both-sides side possible [exposure of an internal electrode]. On the other hand, to the chip edge of a longitudinal direction, a tooth space b is provided, and it is isolated and arranged from the chip edge. Therefore, in a longitudinal direction both-ends side, to the external electrode formed in an end face, only distance b is isolated and is arranged. a coil spiral by this -- since it can enlarge compared with only distance a and distance b having isolated and arranged the linkage area of the substantial magnetic flux of a conductor from the chip periphery edge over the perimeter shown in conventional drawing 5 , only the part can increase the inductance value per unit layer.

[0014] What was adjusted so that the shrinking percentage at the time of baking might become large is used for the conductive paste which forms internal electrodes 32, 33, 34, and 35. Moreover, the conductive paste which forms the drawer electrodes 31 and 36 uses what was adjusted so that the shrinking percentage at the time of baking might become small. That is, after forming a conductive paste pattern by screen-stencil, generally it is contracted according to the process of a laminating and baking. This shrinking percentage is about -15 - 20%. Therefore, an EQC or about +5% of thing is mostly used for the conductive paste with which the conductive paste which forms an internal electrode forms a drawer electrode using the thing of about -10% of shrinking percentage of a ceramic element assembly with the shrinking percentage of a ceramic element assembly. The conductive paste which forms an internal electrode is using what used the silver (Ag) particle with a small particle size as the principal component, and can make what has big shrinking percentage. The conductive paste which forms a drawer electrode is using what mixed the silver (Ag) particle with a small particle size, and the

silver (Ag) particle with a big particle size, makes crystallinity good and can make what has small shrinking percentage.

[0015] Drawing 4 is explained using the enlarged drawing of drawing 3 (c) about size change of the internal electrode baking before and after baking. That is, what was adjusted to the conductive paste which forms an internal electrode so that shrinking percentage might become large is used, and signs that pattern 32' before baking of an internal electrode has shrunk in the pattern 32 after baking are shown. Since the glass which an internal electrode is relatively drawn in the interior side of a chip since an internal electrode pattern is larger than a ceramic element assembly and it contracts at the time of baking, and is contained in the ceramic element assembly comes up, and it is the same as a ceramic element assembly after sintering or it comes out outside for a while, the coat of the outcrop of an internal electrode can be carried out. On the other hand, since shrinking percentage is small, the drawer electrodes 31 and 36 are the same as a ceramic element assembly after baking, or since they come out outside for a while, they can ensure connection with an internal electrode and an external electrode.

[0016] Next, the outline is explained about the production process of the laminating ceramic chip of the above-mentioned operation gestalt. First, an organic vehicle etc. is added to the powder which mixed borosilicate glass with the alumina, it is made the shape of a paste, and this is processed into a ceramic green sheet with a doctor blade. A beer hall is formed in this green sheet with metal mold or a laser Mr. hole. Next, an internal electrode pattern is formed by screen-stencil etc., and a beer hall is filled up with conductive paste. The conductive paste adjusted as an internal electrode so that shrinking percentage might become large is used. The conductive paste adjusted so that shrinking percentage might become small is used for the drawer polar zone.

[0017] 30:70 is used for the mixing ratio of an alumina and borosilicate glass. The conductive paste used for formation of an internal electrode lowers silver (Ag) content by using a fine silver (Ag) particle, makes the reaction at the time of baking active, and enlarges shrinking percentage. On the other hand, the conductive paste used for formation of a drawer electrode is combining a fine silver (Ag) particle and a big silver (Ag) particle, and what made crystallinity good and stopped shrinking percentage is used for it.

[0018] Next, as shown in the above-mentioned operation gestalt, laminating sticking by pressure of the ceramic green sheet which printed this internal electrode pattern etc. is carried out. Since many internal

electrode patterns are arranged in the shape of a matrix by the layered product of the above-mentioned green sheet, the dicing of this is carried out to the partition corresponding to each chip field. And by calcinating at an elevated temperature, a ceramic green sheet serves as a ceramic sintered compact, and the conductive paste pattern formed of printing serves as a metaled electrode layer. Next, a substrate metal is formed by print processes or sputtering as an external electrode, on it, nickel plating, Sn plating, etc. are performed and this forms an external electrode.

[0019] The protective coat which covers the end face of a chip can be formed if needed by covering glass material to a predetermined end face after the above-mentioned dicing or baking, and calcinating at low temperature comparatively. moreover -- the case where the resin film is used as a protective coat -- after forming the substrate electrode as an external electrode -- a resin paste -- a predetermined end face -- applying -- this -- warming -- it can harden and form.

[0020] As mentioned above, an external electrode and internal inter-electrode connection can be ensured by stopping the shrinking percentage of a drawer electrode by controlling a production process by the shrinking percentage of a ceramic element assembly, an internal electrode, and a drawer electrode, and the temperature profile at the time of baking, and managing. moreover, the coil which used the chip size effectively, without exposing outside directly since the coat of the internal electrode arranged at the chip edge was carried out with the glass contained in a ceramic element assembly by big shrinking percentage at the chip edge -- a conductor can be formed.

[0021] In addition, the application to a chip bead, a chip capacitor, and an LC filter is also possible in the gestalt of the above-mentioned implementation, although the chip mold inductor component was shown using those complex, using the mixture of a dielectric and glass, using the mixture of the magnetic substance and glass as an element assembly.

[0022] Although 1 operation gestalt of this invention was explained until now, it cannot be overemphasized that you may carry out with a gestalt which this invention is not limited to an above-mentioned operation gestalt, but is variously different within the limits of the technical thought.

[0023]

[Effect of the Invention] As explained above, according to this invention, a narrow chip size is utilizable for the maximum owner effect. It becomes possible to offer the laminating ceramic chip with which a

property with good inductance value, capacitance value, etc. is acquired also with a narrow chip size by this.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective view showing the appearance of the inductor component which is the operation gestalt of this invention.

[Drawing 2] It is the decomposition perspective view of the inductor component which is the operation gestalt of this invention.

[Drawing 3] It is the plan showing the example of an electrode pattern arranged at each ceramic layer of the inductor component which is the operation gestalt of this invention.

[Drawing 4] It is drawing for explanation of contraction of the internal electrode at the time of baking.

[Drawing 5] It is the electrode pattern **** Fig. of each ceramic layer of the inductor component of the conventional example.

[Description of Notations]

1 Two External electrode

3 Four Field in which an external electrode is not prepared

5, 6, 7 Field in which an external electrode is not prepared

S1-Sn Ceramic layer

31 36 Drawer electrode

32, 33, 34, 35 Internal electrode

a, b Margin section

A, C, E, F, I Beer hall

B, D, G, H, J Connection

K, M, Q, R, U Beer hall

L, P, S, T, V Connection

[Translation done.]

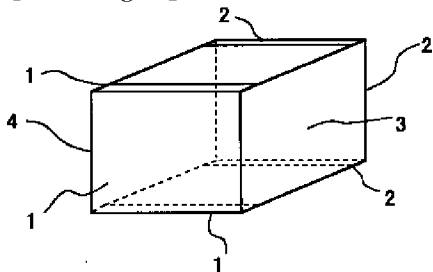
* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

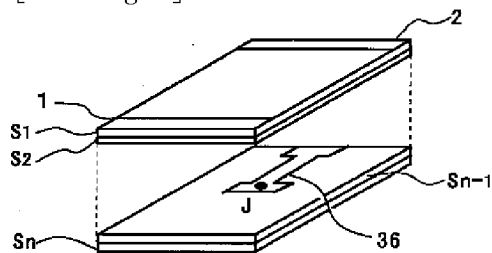
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

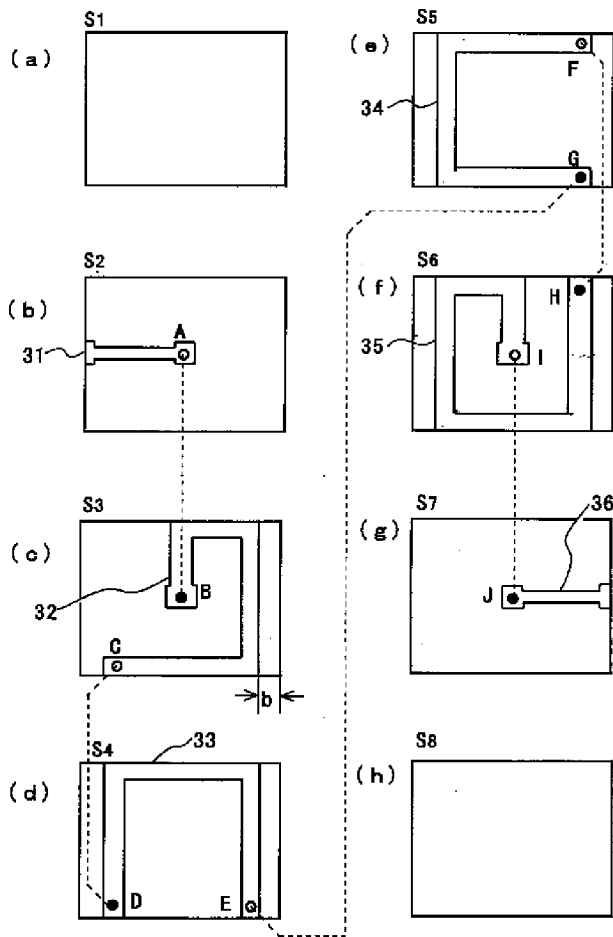
[Drawing 1]



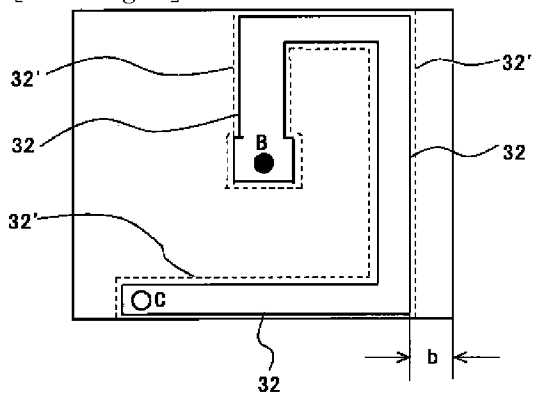
[Drawing 2]



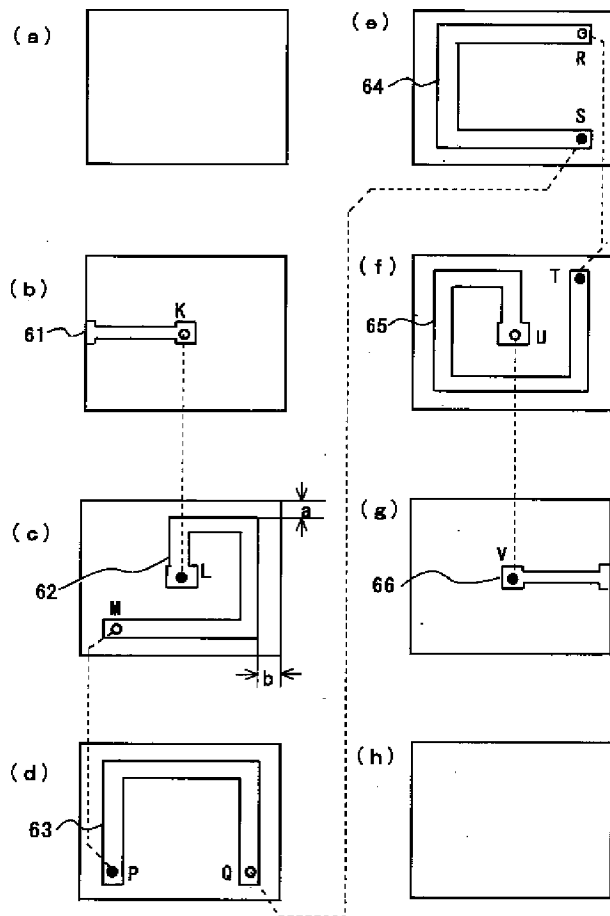
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(1)特許出願公開番号
特開2003-282327
(P2003-282327A)

(43)公刊日 平成15年10月3日(2003.10.3)

(SI)Int.Cl.	公開番号	FI	特許庁長官(審判官)
H01F 17/00		H01F 17/00	D 5E062
41/04		41/04	B 5E070
			C

第 10 卷 (第 8 号)

(21) 出願番号	特願2002--88952(P2002--88952)	(71) 出願人	060105350 コーア株式会社 長野県伊那市大字伊那3672番地
(22) 出願日	平成14年3月27日(2002.3.27)	(72) 発明者	市川 正文 長野県伊那市大字伊那3672番地 コーア株式会社内
		(72) 発明者	有賀 由希子 長野県伊那市大字伊那3672番地 コーア株式会社内
		(74) 代理人	100092406 井俣士 堀田 尚太郎 (外2名)

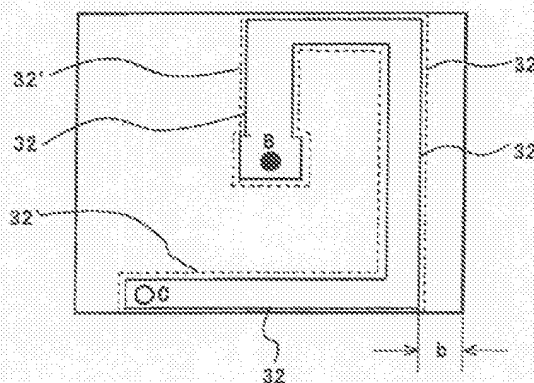
●●●●●

(54) 【発明の名称】 積層セラミックチップ部品およびその製造方法

02/18/2011

【課題】 チップサイズを有効に利用することで、小型のチップサイズで有りながら、高いインダクタンス値やキャパシタンス値が得られるチップ部品及びその製造方法を提供する。

【解決手段】 セラミック層を積層して角型チップを形成し、該積層されたセラミック層の間に内部電極32、33、34、35が形成され、該内部電極が角型チップの外側電極1、2に接続された積層セラミックチップ部品において、前記外部電極への引出電極31、36は焼成時の縮率が小さく、前記内部電極32、33、34、35は焼成時の縮率が大きい材料を用いた。



【特許請求の範囲】

【請求項1】 セラミック層を積層して角型チップを形成し、該積層されたセラミック層の間に内部電極が形成され、該内部電極が角型チップの外部電極に接続された積層セラミックチップ部品において、

前記外部電極への引出電極は焼成時の縮率が小さく、前記内部電極は焼成時の縮率が大きい材料を用いたことを特徴とする積層セラミックチップ部品。

【請求項2】 前記角型チップの端面には、前記外部電極を形成しない面を備え、該面に前記内部電極が露出可能としたことを特徴とする請求項1に記載の積層セラミックチップ部品。

【請求項3】 前記積層セラミックチップ部品は、インダクタ素子であることを特徴とする請求項1または2に記載の積層セラミックチップ部品。

【請求項4】 セラミックグリーンシートに導体パターンを形成し、複数枚の該グリーンシートを積層圧着し、各チップ領域に対応する区画にダイシングして焼成し、外部電極を形成する積層セラミックチップ部品の製造方法において、

前記導体パターンのうち、内部電極を形成する導体ペーストは、焼成時の縮率が大きくなるように調整したものを、引出電極部を形成する導体ペーストは焼成時の縮率が小さくなるように調整したものを、用いることを特徴とする積層セラミックチップ部品の製造方法。

【請求項5】 前記内部電極を形成する導体ペーストは、粒径の小さな銀（Ag）粒子を主成分としたものを用い、前記引出電極を形成する導体ペーストは、粒径の小さな銀（Ag）粒子と粒径の大きな銀（Ag）粒子を混合したものを用いることを特徴とする請求項4に記載の積層セラミックチップ部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は積層セラミックチップ部品に係り、特にシート状のセラミック層に内部電極等の導体パターンを配設し、これを積層して相互に接続した、インダクタ素子、又はキャパシタ素子等の積層セラミックチップ部品及びその製造方法に関する。

【0002】

【従来の技術】シート状のセラミック層に導体パターンを配設して、これを積層して角型チップ部品とした積層セラミックチップ型インダクタ素子やキャパシタ素子等の電子部品が広く普及している。これらの電子部品においては、これらが装着される電子機器の進歩に伴い、小型・高密度実装への対応が要求されている。このため、これらのチップ部品のサイズも、1608型（1.6mm×0.8mm）から1005型（1.0mm×0.5mm）が現在の主流となり、更に0503型（0.5mm×0.3mm）への移行が進行している。

【0003】しかしながら、これらのチップ型インダク

タ素子やキャパシタ素子においては、チップ面積が小型化すると、これに伴い、内部電極パターンも小さくせざるを得ない。従って、インダクタンス値やキャパシタンス値の範囲が狭くなり、低抵抗分が増加してQ値も小さくなり、特性が劣化するという傾向がある。

【0004】

【発明が解決しようとする課題】本発明は上述した事情に鑑みて為されたもので、チップサイズを有効に利用することで、小型のチップサイズで有りながら、高いインダクタンス値やキャパシタンス値が得られるチップ部品及びその製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明の積層セラミックチップ部品は、セラミック層を積層して角型チップを形成し、該積層されたセラミック層の間に内部電極が形成され、該内部電極が角型チップの外部電極に接続された積層セラミックチップ部品において、前記外部電極への引出電極は焼成時の縮率が小さく、前記内部電極は焼成時の縮率が大きい材料を用いたことを特徴とする。ここで、前記角型チップの端面には、前記外部電極を形成しない面を備え、該面に前記内部電極が露出可能とすることができる。

【0006】上述した本発明によれば、角型チップの外部電極を形成しない面に内部電極を露出することが出来るので、従来の内部電極をチップ周辺から内側に離隔して形成していたのと異なり、内部電極の形成面積を拡張することが出来る。内部電極に焼成時の縮率がより大きい導体ペーストを用いることにより、焼成後収縮した導体表面に周囲の素子の成分が流出し、または析出して導体表面を被覆する。このことにより、チップサイズを最大限有効に利用することができる。従って、チップサイズに対してインダクタンス値やキャパシタンス値を大きくすることができ、これに伴いQ値等の特性が向上する。

【0007】また、本発明の積層セラミックチップ部品の製造方法は、セラミックグリーンシートに導体パターンを形成し、複数枚の該グリーンシートを積層圧着し、各チップ領域に対応する区画にダイシングして焼成し、外部電極を形成する積層セラミックチップ部品の製造方法において、前記導体パターンのうち、内部電極を形成する導体ペーストは、焼成時の縮率が大きくなるように調整したものを、引出電極部を形成する導体ペーストは焼成時の縮率が小さくなるように調整したものを、用いることを特徴とする。

【0008】

【発明の実施の形態】以下、本発明の実施形態について添付図面を参照しながら説明する。

【0009】図1は、本発明の実施形態のインダクタ素子を示し、角型チップの全体構成を示した斜視図である。このチップ型インダクタ素子は、図2に示すように

セラミック層が複数枚 $S_1 \sim S_n$ を積層圧着して構成される。外部電極1、2は、それぞれコの字状に、チップ上面、長手方向両端面、下面に形成され、外部電極1は引出電極31を介して螺旋状のコイル導体の一端に接続され、外部電極2は引出電極36を介して螺旋状のコイル導体の他端に接続される。

【0010】図3(a)~(h)に示すように、セラミック層 $S_1 \sim S_n$ においては、内部電極32、33、34、35、および引出電極31、36が形成され、セラミック層間には透孔であるビアホールA、C、E、F、Iを介して相互に接続され、これにより螺旋状のコイル導体からなるインダクタ素子が構成される。チップ長手方向両端面の端面（短手方向端面）には、セラミック層 S_1 、 S_2 、 S_3 、 S_4 の内部電極32、33、34、35等が露出した状態になっている。図3に示す例では、コイル導体を略3ターン形成したインダクタ素子について示したが、これらのセラミック層の層数を増加することで、任意のターン数のコイル導体を形成可能である。

【0011】セラミック層 S_1 、 S_2 には引出電極31、36を備え、この電極31、36は、長手方向両端面のチップ縁部に接するように配置され、チップの両端面に形成される外部電極に接続される。詳しくは、セラミック層 S_1 の引出電極31は、チップの上面、側面、下面にコの字に形成される外部電極1に一端が接続され、ビアホールA中に充填された導体を介して内部電極32に他端が接続される。同様にセラミック層 S_2 には、チップ縁部に接する引出電極36が配置されている。引出電極36の一端はチップの上面、側面、下面にコの字に形成される外部電極2に接続され、他端はビアホールIを介して内部電極35に接続される。

【0012】この実施形態においては、セラミック層 $S_1 \sim S_n$ には図3(c)~(f)に示す形状を有する内部電極32、33、34、35が配置され、各セラミック層は、ビアホールを備え、そのビアホールに充填された導体により、各内部電極が接続されて、螺旋状のコイル導体が形成される。即ち、セラミック層 S_1 のビアホールCは内部電極32と内部電極33とを接続し、ビアホールEは内部電極33と内部電極34とを接続し、ビアホールFは内部電極34と内部電極35とを接続し、これにより3ターンの螺旋状導体コイルが形成される。なお、更にセラミック層 $S_1 \sim S_n$ を繰返し配置することで、任意のターン数の螺旋状導体コイルを形成できる。ビアホールAは、外部電極1への引出電極31と内部電極32とを接続するためのものである。ビアホールIは、外部電極2への引出電極36と内部電極35とを接続するためのものである。これにより螺旋状のコイル導体の両端面が外部電極1、2にそれぞれ接続される。なお、ビアホールは、一層あたり1個でもよいが、複数個設けることで、接続の信頼性を高めることができる。

【0013】ここで、セラミック層 $S_1 \sim S_n$ にはコの字型またはスパイラル型の内部電極32、33、34、35が配置され、これらの内部電極は長手方向両端面のチップ縁部に到達するように配置されている。即ち、これらのセラミック層を積層して角型チップを構成した際に、長手方向両端面の端面（短手方向両端面）に内部電極が露出可能に形成されている。一方で、長手方向のチップ縁部に対しては、スペースtを設け、チップ縁部から離隔して配置されている。従って、長手方向両端面においては、端面に形成される外部電極に対して距離bだけ、離隔して配置される。これにより、螺旋状のコイル導体の実質的な磁束の鎖交面積を、従来の図5に示す全周にわたって距離aと距離bだけチップ外周縁部から離隔して配置していたものに比べて、大きくすることができるので、その分だけ単位層当りのインダクタンス値を増加することができる。

【0014】内部電極32、33、34、35を形成する導体ペーストは、焼成時の縮率が大きくなるように調整したものを用いる。また、引出電極31、36を形成する導体ペーストは焼成時の縮率が小さくなるように調整したものを用いる。即ち、導体ペーストパターンは、スクリーン印刷で形成した後、積層・焼成の工程により一般に収縮する。この縮率は15~20%程度である。従って、内部電極を形成する導体ペーストは、セラミック素体の縮率10%程度のものを用い、引出電極を形成する導体ペーストは、セラミック素体の縮率とはほぼ同等か+5%程度のものを用いる。内部電極を形成する導体ペーストは、粒径の小さな銀(Ag)粒子を主成分としたものを用いることで、縮率の大きなものを作れる。引出電極を形成する導体ペーストは、粒径の小さな銀(Ag)粒子と粒径の大きな銀(Ag)粒子を混合したものを用いることで、結晶性を良好にして縮率の小さなものを作れる。

【0015】図4は、焼成前と焼成後の内部電極のサイズ変化について図3(c)の拡大図を用いて説明するものである。即ち、内部電極を形成する導体ペーストには縮率が大きくなるように調整されたものが使用されて、内部電極の焼成前のパターン32'が焼成後にパターン32に縮んでいる様子が示されている。焼成時に内部電極パターンがセラミック素体よりも大きく収縮するので、相対的に内部電極がチップ内部側に引き込まれ、セラミック素体に含まれているガラスが浮き出して、焼結後にセラミック素体と同じか少し外側にでるので、内部電極の露出部をコートすることができる。これに対して引出電極31、36は、縮率が小さいので、焼成後にセラミック素体と同じか少し外側に出るので、内部電極および外部電極との接続を確実に行うことができる。

【0016】次に、上記実施形態の積層セラミックチップ部品の製造工程について、その概要を説明する。まず、アルミナと硼珪酸ガラスを混合した粉末に有機ビ

クル等を加えてペースト状にして、これをドクターブレードによりセラミックグリーンシートに加工する。このグリーンシートに、金型またはレーザー穿孔によりビアホールを形成する。次に内部電極パターンをスクリーン印刷等により形成してビアホールには導体ペーストを充填する。内部電極としては、縮率が大きくなるように調整した導体ペーストを用いる。引出電極部には縮率が小さくなるように調整した導体ペーストを用いる。

【0017】アルミナと珪酸ガラスの混合比は、30：70を用いている。内部電極の形成に用いた導体ペーストは、細かな銀（Ag）粒子を用いることで銀（Ag）含有率を下げて焼成時の反応を活発にして縮率を大きくしたものである。これに対して引出電極の形成に用いた導体ペーストは、細かな銀（Ag）粒子と大きな銀（Ag）粒子を組み合わせて、結晶性を良好にして縮率を抑えたものを用いる。

【0018】次に、この内部電極パターン等を印刷したセラミックグリーンシートを上記実施形態に示すように積層圧着する。上記グリーンシートの積層体には、多数の内部電極パターンがマトリクス状に配列されているので、これを各チップ領域に対応する区画にダイシングする。そして、高温で焼成することで、セラミックグリーンシートがセラミック焼結体となり、印刷により形成された導体ペーストパターンが金属の電極層となる。次に、外部電極として印刷法、又はスパッタリング等により下地金属を形成し、その上にNiめっき及びSnめっき等を行い、これにより外部電極を形成する。

【0019】チップの端面を被覆する保護膜は、上記ダイシング後、又は焼成後にガラス材を所定の端面に被覆して、比較的低温で焼成することにより、必要に応じて形成することができる。また、保護膜として樹脂膜を用いる場合には、外部電極としての下地電極を形成後に樹脂ペーストを所定の端面に塗布し、これを加温硬化して形成できる。

【0020】以上のように、セラミック素体と内部電極と引出電極の縮率および焼成時の温度プロファイルにより製造工程を制御し管理することにより、引出電極の縮率を抑えることで、外部電極と内部電極間の接続を確実に行うことができる。また、チップ縁部に配置した内部電極は、大きな縮率によりセラミック素体に含まれるガラス等によりチップ縁部でコートされるので、外部に直

接露出することなく、チップサイズを有効に利用したコイル導体を形成できる。

【0021】なお、上記実施の形態において、チップ型インダクタ素子を示したが、素体として磁性体とガラスの混合物を用い、または誘電体とガラスの混合物を用い、或いはそれらの複合体を用いて、チップビーズ、チップコンデンサ、LCフィルタへの応用も可能である。

【0022】これまで本発明の一実施形態について説明したが、本発明は上述の実施形態に限定されず、その技術的着想の範囲内において種々異なる形態にて実施されてよいことは言うまでもない。

【0023】

【発明の効果】以上説明したように、本発明によれば、狭小なチップサイズを最大限有効に活用することが出来る。これにより、狭小なチップサイズでも、インダクタンス値やキャパシタンス値等の良好な特性が得られる積層セラミックチップ部品を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態であるインダクタ素子の外観を示す斜視図である。

【図2】本発明の実施形態であるインダクタ素子の分解斜視図である。

【図3】本発明の実施形態であるインダクタ素子の各セラミック層に配置された電極パターン例を示す上面図である。

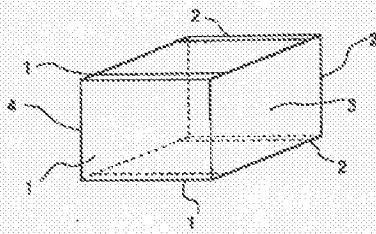
【図4】焼成時の内部電極の収縮の説明のための図である。

【図5】従来例のインダクタ素子の各セラミック層の電極パターン示す図である。

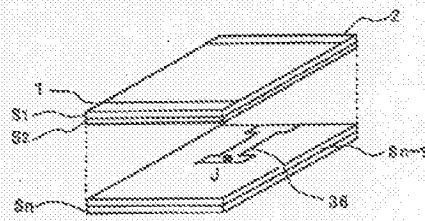
【符号の説明】

1, 2	外部電極
3, 4	外部電極を設けない面
5, 6, 7	外部電極を設けない面
S ₁ ~ S _n	セラミック層
31, 32	引出電極
33, 34, 35	内部電極
a, b	マージン部
A, C, E, F, I	ビアホール
B, D, G, H, J	接続部
K, M, Q, R, U	ビアホール
L, P, S, T, V	接続部

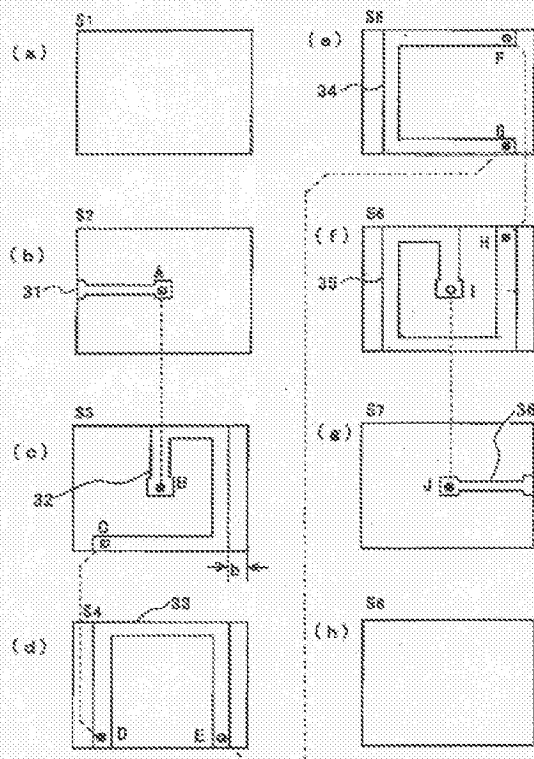
【図1】



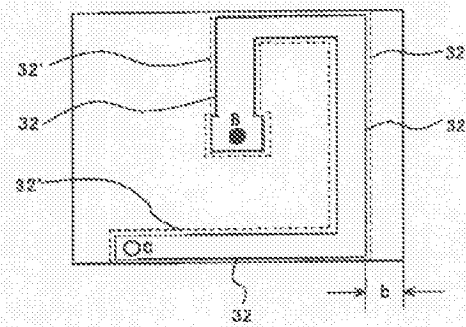
【図2】



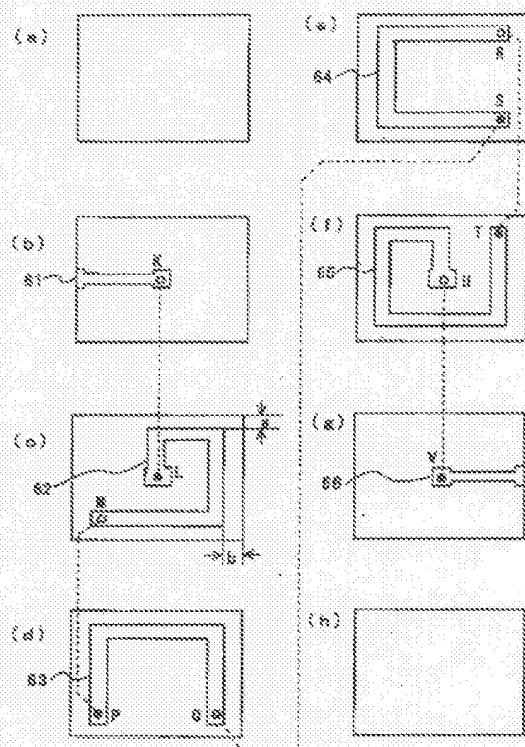
【図3】



【図4】



〔図5〕



フロントページの続き

(72)発明者 小林 信賢
長野県伊那市大字伊那3672番地 コーア株
式会社内

Fターム(参考) SE062 DXX4 FF01 FC11
SE070 AA01 AB01 CB02 CB08 CR13
CR18